



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

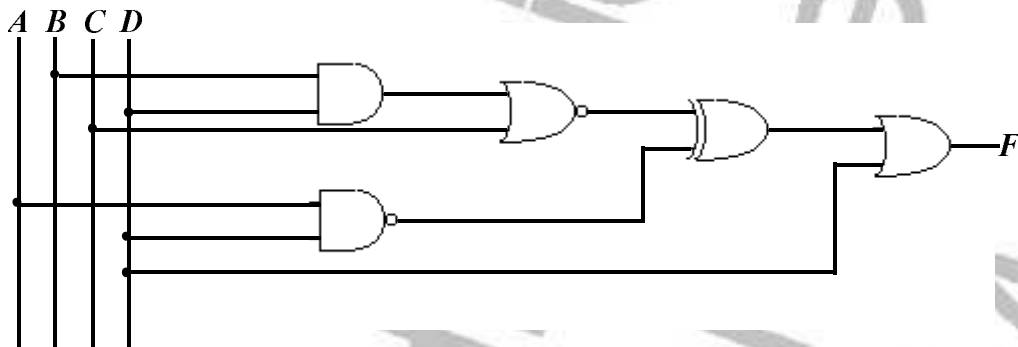
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **3 de febrero de 2003 (Mañana)**

PROBLEMA.1

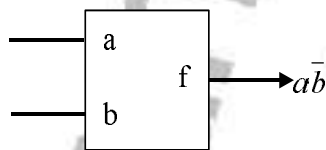
(2,5 Puntos)

Dado el circuito de la figura,



Se pide:

- Empleando **únicamente** los teoremas y postulados del álgebra de Boole, simplificar al máximo la función, obteniendo, además, la expresión implícita (o numérica) de su forma canónica más reducida. (1 pto.)
- Implementar esa misma función empleando:
 - Puertas NOR de 2 entradas, optimizando el diseño para que la cantidad de puertas sea mínima. (0.5 ptos.)
 - Bloques como el indicado en la figura, en el menor número posible. (1 pto.)





UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

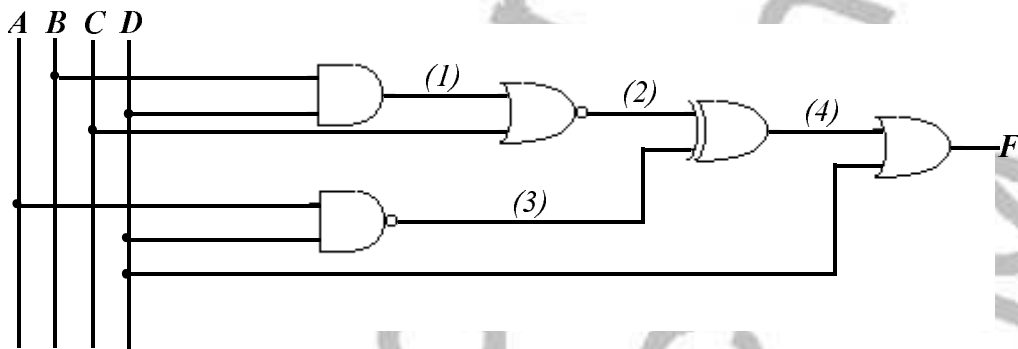
APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **3 de febrero de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 1

SOLUCIÓN.

(a)

Para obtener la solución numeramos las líneas que implementen alguna función lógica de dos o más variables:



Se tiene:

$$\begin{aligned} (1) &= B \cdot D \\ (2) &= \overline{B \cdot D} + C \\ (3) &= \overline{A \cdot D} \\ (4) &= (2) \oplus (3) = (\overline{B \cdot D} + C) \oplus \overline{A \cdot D} = (B \cdot D + C) \oplus A \cdot D \\ F &= (4) + D = (B \cdot D + C) \oplus A \cdot D + D \end{aligned}$$

Entonces, aplicando los teoremas y postulados del álgebra de Boole, se tendría:

$$\begin{aligned} F &= (\text{Def. XOR}) \\ &= (\overline{B \cdot D} + C)A \cdot D + (B \cdot D + C)\overline{A \cdot D} + D = \\ &= (\text{Pr op. Distributiva de "." respecto de "+"}) \\ &= (\overline{B \cdot D} + C)A \cdot D + B \cdot D \cdot \overline{A \cdot D} + C \cdot \overline{A \cdot D} + D = \\ &= (\text{Prop. Asociativa, Prop. Conmutativa, Pr op. Distributiva de "." respecto de "+"}) \\ &= [(\overline{B \cdot D} + C)A + B \cdot \overline{A \cdot D} + 1]D + C \cdot \overline{A \cdot D} = \\ &= (1 + x = 1) \\ &= D + C \cdot \overline{A \cdot D} = \\ &= (\text{Leyes de De Morgan}) \\ &= D + C \cdot (\overline{A + \overline{D}}) = \\ &= (\text{Prop. Distributiva de "." respecto de "+", Prop. Conmutativa}) \\ &= D + \overline{D}C + \overline{A}C = \\ &= (\text{Prop. Asociativa, Absorción}) \\ &= D + C + \overline{A}C = \\ &= (\text{Prop. Distributiva de "." respecto de "+"}) \\ &= D + C \cdot (1 + \overline{A}) = \\ &= (1 + x = 1) \\ &= D + C \end{aligned}$$



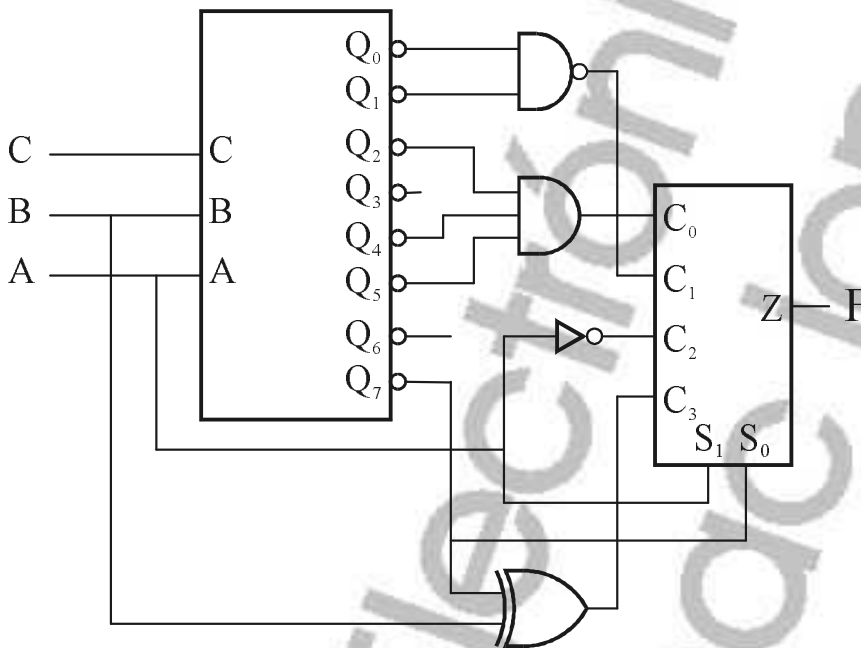
UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **3 de febrero de 2003 (Mañana)**

PROBLEMA.2

(2,5 Puntos)

Sea el circuito de la figura:



- Obtener justificadamente la expresión mas simplificada posible de F (considere que C es el bit de mayor peso tanto de la función como del decodificador) (1.5 pts)
- Implementar F con un multiplexor de tamaño mínimo y, si es posible, sin emplear inversores (1 pto).

SOLUCION

- Obtendremos la tabla de verdad de la salida F, obteniendo previamente las tablas de verdad de los puntos intermedios.

C	B	A	Q ₀	Q ₁	Q ₂	Q ₄	Q ₅	Q ₇	C ₀	C ₁	C ₂	C ₃	S ₁	S ₀	F
0	0	0	0	1	1	1	1	1	1	1	1	1	0	1	1
0	0	1	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	0	1	1	0	1	1	1	0	0	1	0	0	1	0
0	1	1	1	1	1	1	1	1	1	0	0	0	1	1	0
1	0	0	1	1	1	0	1	1	0	0	1	1	0	1	0
1	0	1	1	1	1	1	0	1	0	0	0	1	1	1	1
1	1	0	1	1	1	1	1	1	1	0	1	0	0	1	0
1	1	1	1	1	1	1	1	0	1	0	0	1	1	0	0

$$F = \overline{C} \cdot \overline{B} + \overline{B} \cdot A$$

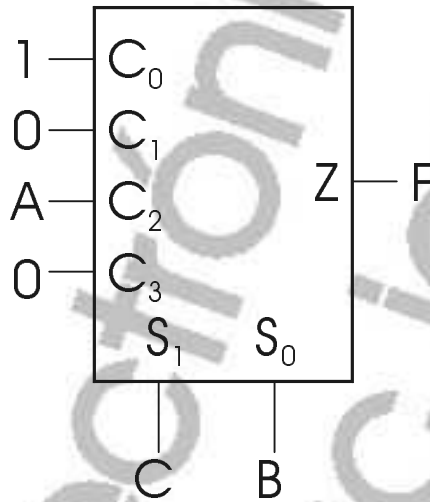


UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **3 de febrero de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 2

b) Se puede obtener un circuito equivalente al dado con un multiplexor:





UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **3 de febrero de 2003 (Mañana)**

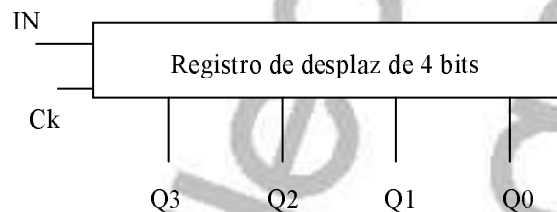
PROBLEMA.3

(2,5 Puntos)

Se desea diseñar un contador que inicie la cuenta en 0 (el 0 debe estar incluido en la secuencia) y, que vaya pasando de forma creciente por todos los número primos (divisible únicamente entre él mismo y la unidad) menores que 16 y al llegar al valor más alto, vuelva a 0 y se repita la secuencia indefinidamente

- a) Implementar dicho contador a partir de un registro de desplazamiento de cuatro bits, como el indicado en la figura y el mínimo número de puertas que estime necesarias para realizar un transcodificador. Solamente se pide diseñar un contador básico y proporcionar la expresión algebraica de las salidas S_3, S_2, S_1, S_0 , en función de las salidas de los biestables Q_3, Q_2, Q_1, Q_0 del registro de desplazamiento.

Nota: Considérese que no se tiene acceso a las salidas negadas de los biestables
Inicialmente el registro de desplazamiento tiene todos sus biestables a 0



- b) Implementar dicho contador con tres biestables tipo T, activos por flanco de subida, y el mínimo número de puertas que crea necesarias. Solamente se pide diseñar el contador básico y proporcionar la expresión algebraica de las salidas S_3, S_2, S_1, S_0 , en función de las salidas de los biestables Q_2, Q_1, Q_0 , del contador básico realizado a partir de los biestables T.

Notas: Denominar a los biestables como 0, 1, 2, etc. siendo la salida del biestable 0, Q_0 , la correspondiente al bit menos significativo

En ambos casos utilizar el modelo de un contador básico más un transcodificador para obtener el contador final que se pide.

Contestar en el espacio reservado a cada apartado



CONTINUACIÓN PROBLEMA 3

SOLUCIÓN

En ambos casos, primero realizamos un contador y después un transcodificador

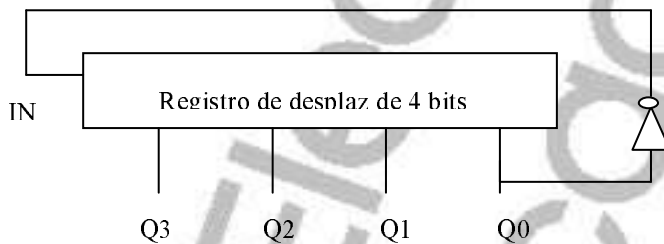
a) Contador básico a partir de un registro de desplazamiento

La cuenta pedida es

0 -> 1 -> 2 -> 3 -> 5 -> 7 -> 11 -> 13 y vuelta a empezar

El módulo es 8

Un registro de desplazamiento de 4 bits se puede transformar en un contador de módulo 4*2 = 8, conectando la salida negada del último biestable a la entrada serie del registro. Si no se dispusiera de la salida negada, se utilizaría una puerta inversora.



Ahora bien la secuencia con que cuenta este contador no es la misma que pide el enunciado. Por ello se precisa de un transcodificador que transforme la secuencia que proporciona el contador-registro de desplazamiento a la secuencia deseada

En esta tabla N1 es el valor decimal de la cuenta que proporciona el contador (en binario Q3, Q2, Q1, Q0) y N2, la cuenta deseada (en binario S3, S2, S1, S0),

Table with 10 columns: N1, Q3, Q2, Q1, Q0, S3, S2, S1, S0, N2. It lists binary values for N1 and N2 corresponding to the register outputs.



APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **3 de febrero de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 3

La simplificación mediante mapas de Karnaugh proporciona los siguientes resultados

	S3				S2				S1				S0			
	00	01	11	10	00	01	11	10	00	01	11	10	00	01	11	10
00	0	1	1		0	1	0		0	0	1	X	0	1	1	X
01			0			X	1		X		1	X		X	1	X
11	0		0	0	0	X	1	0	1		0	1	0	X	1	1
10	0	X	X		0	X			0				1	X	X	X

Expresión algebraica de las salidas S_3, S_2, S_1, S_0 , en función de las salidas de los biestables Q_3, Q_2, Q_1, Q_0

$$S_3 = \overline{Q_2} \cdot Q_0$$

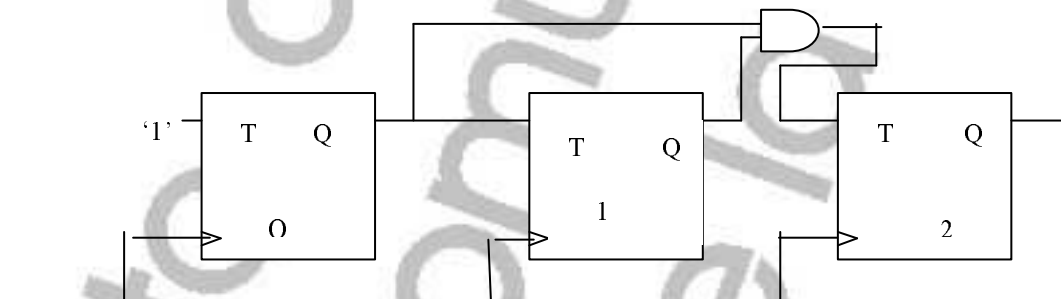
$$S_2 = \overline{Q_1} \cdot Q_0 + Q_2 \cdot Q_0 = Q_0 \cdot (\overline{Q_1} + Q_2)$$

$$S_1 = \overline{Q_3} \cdot Q_1 + Q_2 \cdot \overline{Q_0}$$

$$S_0 = Q_0 + Q_1 + Q_3 \cdot \overline{Q_2}$$

b) Contador básico a partir de Biestables tipo T

Con los tres biestables podemos realizar un contador creciente, módulo 8, de 0 hasta 7. A continuación precisamos un transcodificador, que nos permite obtener la cuenta que deseamos. El contador creciente, síncrono, módulo 8, hecho con biestables T, es conocido y es el siguiente



Igualmente, se puede utilizar un contador asíncrono ascendente módulo 8, que incluso tiene la ventaja de no utilizar ninguna puerta.



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **3 de febrero de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 3

Diseño del transcodificador

N1 es la cuenta del contador anterior y Q2, Q1, Q0 su valor en binario

N2 es la cuenta deseada y S3, S2, S1 y S0 su valor en binario

N1	Q2	Q1	Q0	S3	S2	S1	S0	N2
0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	1	1
2	0	1	0	0	0	1	0	2
3	0	1	1	0	0	1	1	3
4	1	0	0	0	1	0	1	5
5	1	0	1	0	1	1	1	7
6	1	1	0	1	0	1	1	11
7	1	1	1	1	1	0	1	13

Simplificando mediante mapas de Karnaugh resulta

	S3				S2				S1				S0			
	00	01	11	10	00	01	11	10	00	01	11	10	00	01	11	10
0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	0
1	0	0	1	1	1	1	1	0	0	1	0	1	1	1	1	1

Expresión algebraica de las salidas S_3, S_2, S_1, S_0 , en función de las salidas de los biestables Q_2, Q_1, Q_0

$$S_3 = Q_2 \cdot Q_1$$

$$S_2 = Q_2 \cdot (\overline{Q_1} + Q_0)$$

$$S_1 = \overline{Q_2} \cdot Q_1 + Q_1 \cdot \overline{Q_0} + Q_2 \cdot \overline{Q_1} \cdot Q_0 = Q_1 \cdot (\overline{Q_2} + \overline{Q_0}) + Q_2 \cdot \overline{Q_1} \cdot Q_0 = Q_1 \oplus (Q_2 \cdot Q_0)$$

$$S_0 = Q_2 + Q_0$$



PROBLEMA.4

(2,5 Puntos)

El sistema de seguridad de entrada a un banco se basa en el esquema de la Figura.1:

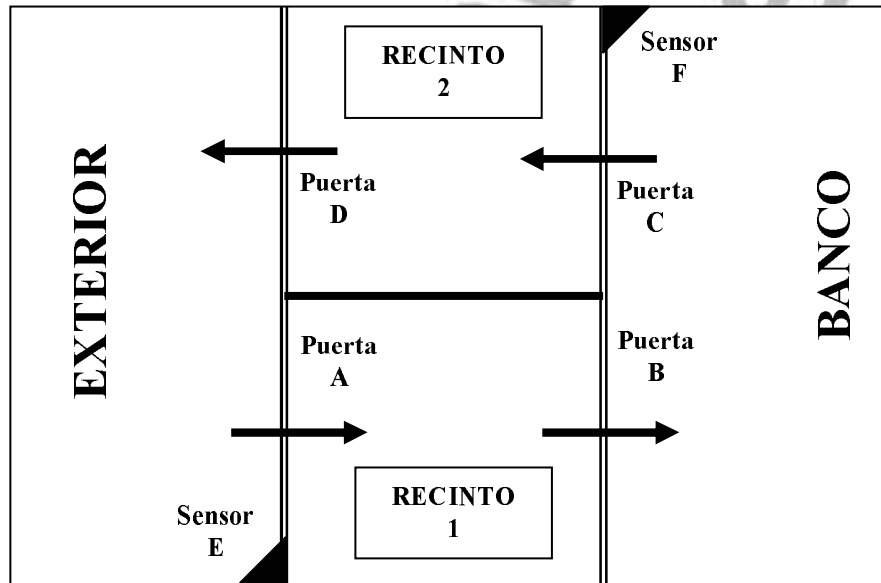


Figura. 1

Donde A, B, C y D son las puertas automáticas del banco y E y F sensores que detectan la presencia de un usuario, en cuyo caso entrega un uno a su salida. El sentido de paso de los usuarios es el que aparece en la figura. El criterio de seguridad establece que nunca deben coincidir dos usuarios en ninguno de los dos recintos entre puertas y tampoco en la entrada exterior. Evidentemente sí podrán coincidir en el interior del banco. El mecanismo de apertura de las puertas está controlado por un autómata de estados finitos que se encarga de cumplir las especificaciones anteriores, y cuyas salidas activarán la secuencia de apertura de la puerta o puertas correspondientes, según el caso, en función del estado interno de la máquina y de los valores proporcionados por los sensores E y F. El esquema de circuito del autómata se muestra en la Figura.2, donde E y F son las señales de los sensores y SA, SB, SC y SD las funciones de salida que activan la apertura de cada puerta (0 indica puerta cerrada y 1 orden de apertura de la puerta).

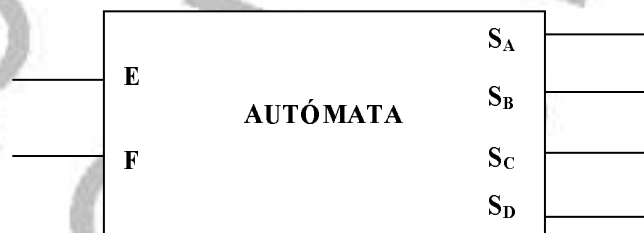


Figura. 2



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **3 de febrero de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 4

Téngase en cuenta que no es necesario usar sensores en los recintos entre puertas, pues la máquina debe "saber" que tras permitir el paso de un usuario, por la puerta **A** o la **C**, al recinto correspondiente, éste se encontrará esperando la apertura de la puerta **B** o **D**, según el caso.

Se pide:

- Indique todas las posibles combinaciones de apertura de puertas (valores posibles de las funciones S_A , S_B , S_C y S_D) que se puedan plantear indicando en qué condiciones se producirían y especificando qué puertas no pueden coincidir abiertas en ningún caso, todo ello en función de las normas de seguridad comentadas. **Es imprescindible justificar la respuesta** (1 pto).
- Independientemente del resultado del apartado anterior represente el diagrama de flujo del autómata correspondiente a la tabla de estados proporcionada a continuación: (Considere que las funciones de salida se han codificado con el orden: $S_A S_B S_C S_D$) (0.5 ptos)

		ENTRADAS			
		FE			
		00	01	10	11
ESTADOS	q_0	$q_0 / 0000$	$q_1 / 1000$	$q_2 / 0010$	$q_3 / 1010$
	q_1	$q_0 / 0100$	$q_0 / 0100$	$q_2 / 0110$	$q_2 / 0110$
	q_2	$q_0 / 0001$	$q_3 / 1000$	$q_0 / 0001$	$q_3 / 1000$
	q_3	$q_0 / 0101$	$q_2 / 0100$	$q_0 / 0101$	$q_2 / 0100$

- Explique razonadamente, según los datos del enunciado y en función de la tabla de estados del apartado 2, el significado de los estados internos q_0 , q_1 , q_2 y q_3 (0.5 ptos)
- Suponiendo que se usen para el diseño biestables T obtenga las expresiones más simplificadas posible de las funciones de entrada de los biestables y de las salidas S_A , S_B , S_C y S_D . Para este desarrollo codifique los estados según la tabla siguiente: (0.5 ptos)

	Q_A	Q_B
q_0	0	0
q_1	0	1
q_2	1	0
q_3	1	1



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **3 de febrero de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 4

SOLUCIÓN

Apartado.1

Las combinaciones posibles de salida se representan en la siguiente tabla:

S_A	S_B	S_C	S_D	Significado	Causa
0	0	0	0	Ninguna puerta abierta.	
0	0	0	1	Abre sólo la puerta D.	Hay usuario en <i>Recinto 2</i> y nadie en exterior.
0	0	1	0	Abre sólo la puerta C.	<i>Sensor F</i> activo y <i>Recintos</i> vacíos.
0	1	0	0	Abre sólo la puerta B.	Hay usuario en <i>Recinto 1</i> y <i>Sensor F</i> no activo.
0	1	0	1	Abren las puertas B y D.	Hay usuarios en ambos <i>Recintos</i> y nadie en exterior.
0	1	1	0	Abren las puertas B y C.	Hay usuario en <i>Recinto 1</i> , nadie en <i>Recinto 2</i> y <i>Sensor F</i> activo.
1	0	0	0	Abre sólo la puerta A.	Nadie en <i>Recinto 1</i> y <i>Sensor E</i> activo.
1	0	1	0	Abren las puertas A y C.	<i>Recintos</i> vacíos y ambos <i>Sensores</i> activos.

Las causas de inhibición, según el enunciado, son:

- *No se puede abrir la entrada a un Recinto si no está vacío.* Este es el motivo por el que no pueden coincidir abiertas las parejas de puertas A y B ni C y D.
- *No se puede dejar salir a alguien del Recinto 2 si el Sensor E está activo (usuario en el EXTERIOR).* Esto impide que coincidan abiertas A y D, pues siempre deberá tener preferencia A para dejar el exterior vacío.

Apartado.2

Teniendo en cuenta la tabla de estados proporcionada, el diagrama de flujo queda de la siguiente forma (En la figura aparecen los nombres de las puertas a activar para cada salida, en lugar de su código.):

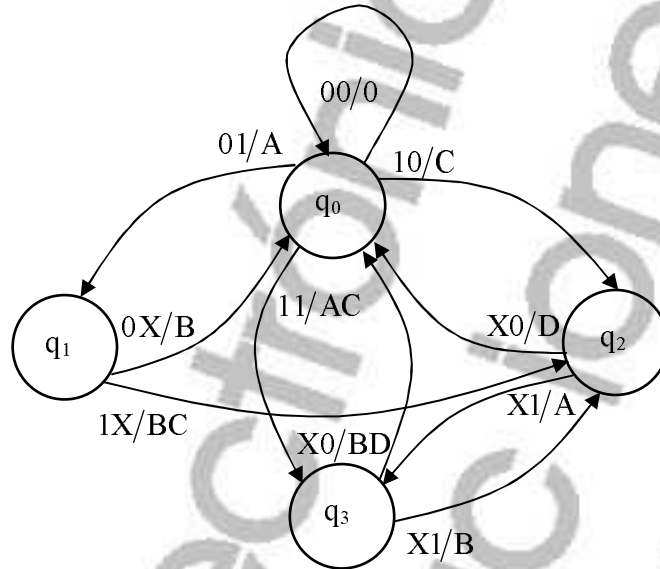


UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **3 de febrero de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 4



Apartado.3

Analizando el desarrollo del autómata se observa que los estados sirven para identificar la presencia de usuarios en los *Recintos 1* y *2* según el criterio representado en la tabla siguiente:

Estado	Significado
q_0	Inicial y no hay usuarios en los <i>Recintos</i> .
q_1	Hay un usuario en <i>Recinto 1</i> .
q_2	Hay un usuario en <i>Recinto 2</i> .
q_3	Hay un usuario en cada <i>Recinto</i> .

Apartado.4

Para obtener esas funciones es conveniente representar la tabla de excitaciones:



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **3 de febrero de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 4

Entrada		Estado actual		Estado siguiente		Entradas biestables		Salidas			
F	E	Q _A	Q _B	Q _A	Q _B	T _A	T _B	S _A	S _B	S _C	S _D
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	0	1	0	0
0	0	1	0	0	0	1	0	0	0	0	1
0	0	1	1	0	0	1	1	0	1	0	1
0	1	0	0	0	1	0	1	1	0	0	0
0	1	0	1	0	0	0	1	0	1	0	0
0	1	1	0	1	1	0	1	1	0	0	0
0	1	1	1	1	0	0	1	0	1	0	0
1	0	0	0	1	0	1	0	0	0	1	0
1	0	0	1	1	0	1	1	0	1	1	0
1	0	1	0	0	0	1	0	0	0	0	1
1	0	1	1	0	0	1	1	0	1	0	1
1	1	0	0	1	1	1	1	1	0	1	0
1	1	0	1	1	0	1	1	0	1	1	0
1	1	1	0	1	1	0	1	1	0	0	0
1	1	1	1	1	0	0	1	0	1	0	0

Desarrollando por Karnaugh, las funciones pedidas quedan:

$$T_A = F\bar{Q}_A + \bar{E}Q_A$$

$$T_B = E + Q_B$$

$$S_A = EQ_B$$

$$S_B = Q_B$$

$$S_C = F\bar{Q}_A$$

$$S_D = \bar{E}Q_A$$



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 1. (Hoja 2)

$$X = A \oplus B + A \cdot B + \overline{A} \cdot \overline{B} = A \oplus B + \overline{A \oplus B} = 1$$

y por lo tanto:

$$F = (\overline{B} + \overline{A} \cdot B + A) \overline{C} \cdot D$$

Teniendo en cuenta que el paréntesis también vale 1 ya que aplicando la propiedad distributiva de la suma respecto al producto queda :

$$(\overline{B} + B \cdot \overline{A} + A) = [(\overline{B} + B)(\overline{B} + \overline{A}) + A] = (\overline{B} + \overline{A} + A) = 1$$

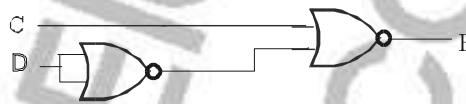
Luego:

$$\boxed{F = \overline{C} \cdot D}$$

que es la expresión más simplificada posible

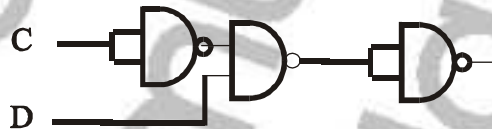
b) Para obtener el circuito más simplificado posible con puertas NOR complementamos dos veces la función y aplicamos el teorema de Morgan a la primera complementación

$$F = \overline{\overline{\overline{C} \cdot D}} = \overline{C + \overline{D}}$$

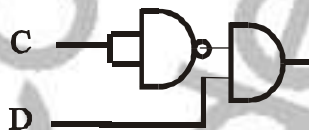


c) Para repetirlo con puertas NAND de dos entradas

$$F = \overline{\overline{C} \cdot D}$$



d) $F = \overline{C} \cdot D$





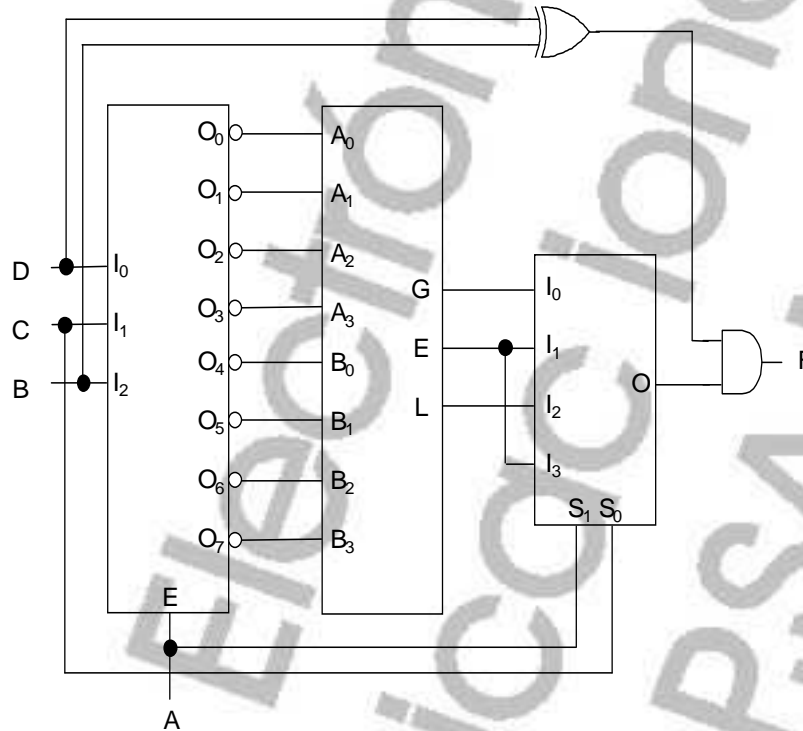
UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

PROBLEMA.2

(2,5 Puntos)

Dado el siguiente circuito:



- Obtener la tabla de verdad de **F (A, B, C, D)** y su expresión implícita en primera forma canónica. Considérese **A** como la variable de mayor peso (1,25 puntos).
- Implementar **F** usando únicamente un multiplexor de 3 entradas de control y una puerta XOR de 2 entradas (0,75 puntos).
- Implementar **F** utilizando sólo un decodificador 4 a 16 con salidas y entrada *Enable* activas ambas a nivel bajo y una puerta lógica del menor número de entradas posible (0,5 puntos).



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 2

a) Para facilitar la obtención de la tabla de verdad, tomamos como referencia unos puntos intermedios en el circuito, como son las salidas del comparador, del multiplexor y de la puerta XOR.

A	B	C	D	G	E	L	O	XOR	F
0	0	0	0	0	1	0	0	0	0
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	0	1	0	0	1	0
0	1	0	1	0	1	0	0	0	0
0	1	1	0	0	1	0	1	1	1
0	1	1	1	0	1	0	1	0	0
1	0	0	0	0	0	1	1	0	0
1	0	0	1	0	0	1	1	1	1
1	0	1	0	0	0	1	0	0	0
1	0	1	1	0	0	1	0	1	0
1	1	0	0	1	0	0	0	1	0
1	1	0	1	1	0	0	0	0	0
1	1	1	0	1	0	0	0	1	0
1	1	1	1	1	0	0	0	0	0

$$F(A, B, C, D) = \sum_4(3, 6, 9)$$

b y c) Si utilizásemos los mapas de Karnaugh para simplificar la función F, observaríamos que ésta seguiría dependiendo de las cuatro variables, por lo que podemos emplear la tabla de verdad anterior como base para el diseño con multiplexores y decodificadores.

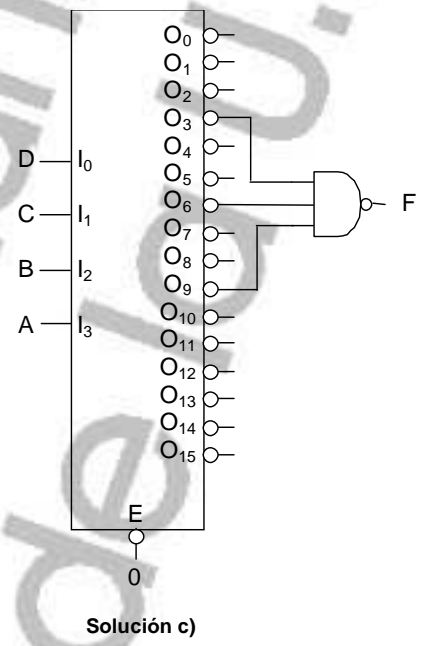
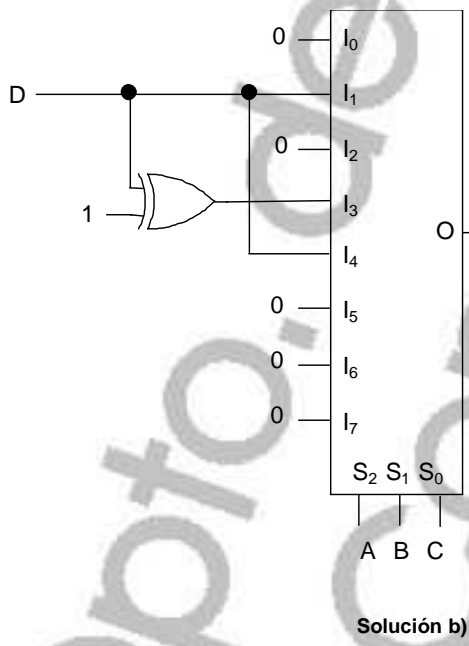


APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 2

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0 $I_0 = 0$
0	0	1	0	0
0	0	1	1	1 $I_1 = D$
0	1	0	0	0
0	1	0	1	0 $I_2 = 0$
0	1	1	0	1
0	1	1	1	0 $I_3 = \bar{D}$
1	0	0	0	0
1	0	0	1	1 $I_4 = D$
1	0	1	0	0
1	0	1	1	0 $I_5 = 0$
1	1	0	0	0
1	1	0	1	0 $I_6 = 0$
1	1	1	0	0
1	1	1	1	0 $I_7 = 0$

Teniendo en cuenta que la puerta NOT que se precisa para la obtención de la variable **D** complementada se obtiene mediante una puerta XOR con una de sus entradas a 1, las soluciones pedidas son:





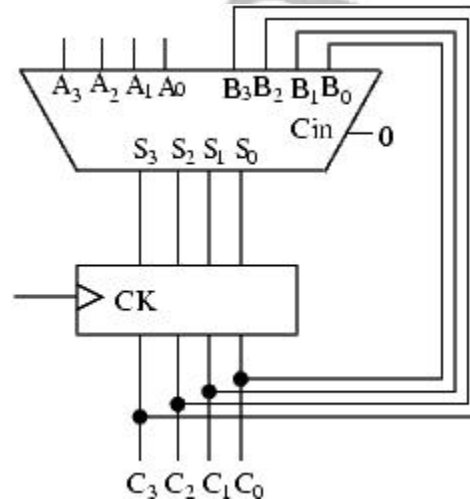
UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

PROBLEMA.3

(2,5 Puntos)

Utilizando un sumador completo de 4 bits y un registro de almacenamiento (entrada paralelo, salida paralelo) se ha construido el siguiente contador:



Se quiere estudiar el comportamiento de este contador en función del valor introducido por la entrada A (bits A_3 , A_2 , A_1 y A_0) del sumador.
Supóngase que en el instante inicial el registro está inicializado a cero.

Se pide:

1. Indicar la secuencia que sigue el contador, así como su módulo, si el valor introducido por la entrada A es $A_3=0$, $A_2=0$, $A_1=0$, $A_0=1$ (0.5 pts)
2. Si ahora se introducen los valores: $A_3=0$, $A_2=1$, $A_1=0$, $A_0=0$ ¿Cuál es la nueva secuencia? ¿Cuál es el nuevo módulo? (0.5 pts)
3. Diseñe un nuevo contador que siga la secuencia 3,3,1,0,3,3,1,0... añadiendo un transcodificador al contador que considere más oportuno (bien al del apartado 1 o bien al del apartado 2) (1 pts)
4. ¿Cuál debe ser el valor introducido por la entrada A para conseguir un contador módulo 8? (0.5 pts)



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 3

SOLUCION:

- 1) Por la entrada A se introduce el valor binario 0001. La salida del sumador será: $S=B+1$ y B es el valor proveniente del registro de almacenamiento, que inicialmente vale 0.

Se trata de un contador módulo 16, que sigue la secuencia: 0,1,2,3,4,5,6, 7, 8, 9, 10, 11, 12, 13, 14, 15...

El estado siguiente lo determina el valor de la entrada A del sumador.

- 2) El valor que se está introduciendo ahora por el operando A es el 4, de manera que si inicialmente el registro tiene el valor 0, en el siguiente instante tendrá el 4, en el siguiente el 8... La secuencia seguida es: 0,4,8,12... y por tanto el módulo es 4
- 3) La secuencia que se da como dato tiene módulo 4, por lo que habrá que utilizar el contador del apartado 2, añadiendo un transcodificador que convierta la secuencia 0, 4, 8, 12... en 3, 3, 1, 0.

La tabla de verdad del transcodificador es:

<i>Entrada</i>				<i>Salida</i>			
<i>C3</i>	<i>C2</i>	<i>C1</i>	<i>C0</i>	<i>Q3</i>	<i>Q2</i>	<i>Q1</i>	<i>Q0</i>
0	0	0	0	0	0	1	1
0	0	0	1	X	X	X	X
0	0	1	0	X	X	X	X
0	0	1	1	X	X	X	X
0	1	0	0	0	0	1	1
0	1	0	1	X	X	X	X
0	1	1	0	X	X	X	X
0	1	1	1	X	X	X	X
1	0	0	0	0	0	0	1
1	0	0	1	X	X	X	X
1	0	1	0	X	X	X	X
1	0	1	1	X	X	X	X
1	1	0	0	0	0	0	0
1	1	0	1	X	X	X	X
1	1	1	0	X	X	X	X
1	1	1	1	X	X	X	X



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 3

Q3 y Q2 simple valen 0 y las expresión para Q1 y Q0 las obtenemos mediante karnaugh:

		Q ₀						Q ₁			
		C ₁ C ₀	00	01	11			10	C ₁ C ₀	00	01
C ₃ C ₂	00	1	X	X	X	1	X	X	X		
	01	1	X	X	X	1	X	X	X		
	11	0	X	X	X	0	X	X	X		
	10	1	X	X	X	0	X	X	X		

$Q_0 = \overline{C_3} + \overline{C_2}$ $Q_1 = \overline{C_3}$

4) Se puede conseguir un contador módulo 8 haciendo que el contador (que es de 4 bits) se vaya incrementando de 2 en dos, por lo que habrá que introducir los siguientes valores:

A₃=0, A₂=0, A₁=1 y A₀=0,

es decir, hay que introducir el número 2 por el operador A.



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

PROBLEMA.4

(2,5 Puntos)

Se tienen dos líneas que denominaremos A y B , por las que nos llegan dos sucesiones continuas de bits sincronizados con una señal de reloj CK . Cada sucesión hay que interpretarla en grupos de tres bits, ya que cada grupo representa un número binario, en el que **el bit más significativo es el primero que se recibe**. Por ejemplo, si por una cualquiera de las líneas se recibe 0, 0, 1, 1, 1, 0, 0, 0, 0, 1, 0, 1... se entenderá que los tres primeros bits recibidos representan el 1, los tres siguientes el 6, los siguientes el 0, los siguientes el 5...

Usando sólo biestables de tipo D y una memoria, se pretende diseñar un autómata **de Mealy** que detecte si el número recibido por A es mayor que el recibido por B , y en ese caso, active una señal de salida S .

NOTAS:

- La señal S no se activará en ningún caso hasta que se reciba el tercer bit de los números en cuestión, y siempre se desactivará con el primer bit del número siguiente.
- Debe optimizarse el diseño, minimizando el número de biestables y el tamaño de la memoria.
- El diseño del autómata debe incluir por lo menos los siguientes puntos:
 - Especificación y codificación de entradas y estados, aclarando el significado de cada uno.
 - Tabla de estados minimizada.
 - Tamaño de la memoria mínima necesaria.
 - Esquema del autómata, especificando en él claramente qué señal se conecta a qué bit de direcciones y datos.
 - Contenido de la memoria según el esquema anterior.

SOLUCIÓN

Especificación y codificación de entradas

A	B	Entradas
0	0	E0
0	1	E1
1	0	E2
1	1	E3



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

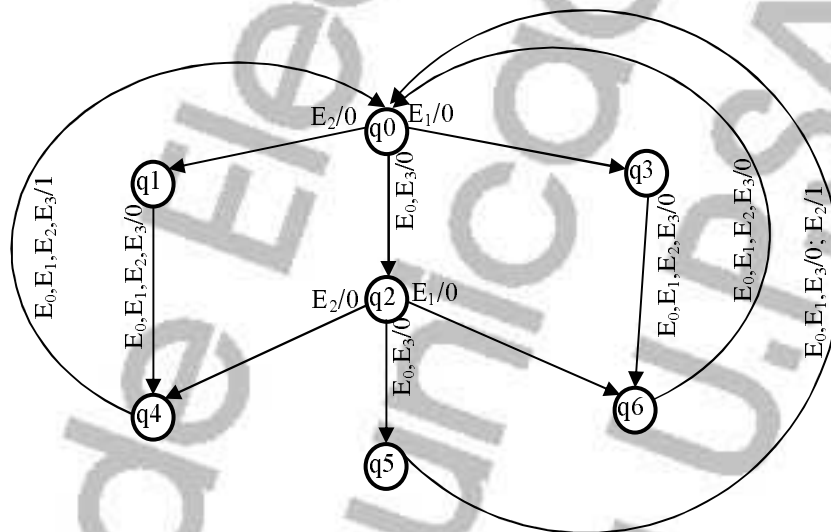
APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 4

Especificación y codificación de estados

Estado	Q2	Q1	Q0	Significado
q0	0	0	0	No se ha recibido ningún bit
q1	0	0	1	Se ha recibido un bit y A>B
q2	0	1	0	Se ha recibido un bit y hasta ahora A=B
q3	0	1	1	Se ha recibido un bit y A<B
q4	1	0	0	Se ha recibido dos bits y A>B
q5	1	0	1	Se ha recibido dos bits y hasta ahora A=B
q6	1	1	0	Se ha recibido dos bits y A<B

Diagrama de estados (no se pedía explícitamente)





UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 4

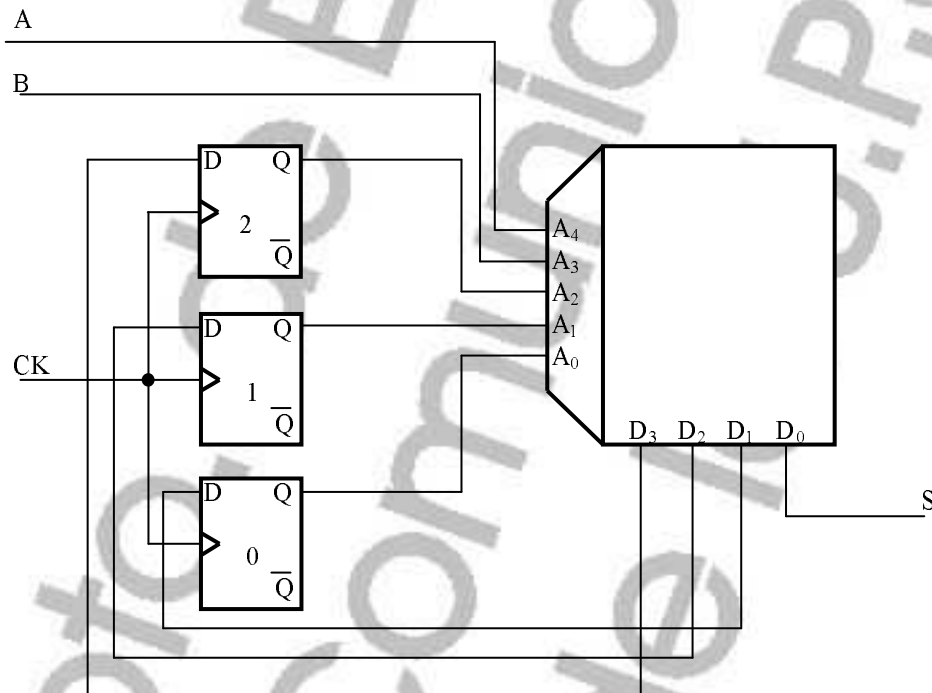
Tabla de estados minimizada

Estado actual	Estado siguiente			
	E0	E1	E2	E3
q0	q2/0	q3/0	q1/0	q2/0
q1	q4/0	q4/0	q4/0	q4/0
q2	q5/0	q6/0	q4/0	q5/0
q3	q6/0	q6/0	q6/0	q6/0
q4	q0/1	q0/1	q0/1	q0/1
q5	q0/0	q0/0	q0/1	q0/0
q6	q0/0	q0/0	q0/0	q0/0

Tamaño mínimo de memoria

32 x 4 bits

Esquema del autómata





APELLIDOS Y NOMBRE: _____

ASIGNATURA: **Sistemas Digitales** CURSO: 1º GRUPO: _____

Nº DE EXPEDIENTE: _____ CONVOCATORIA: 12 de Septiembre de 2003 (Mañana)

CONTINUACIÓN PROBLEMA 4.

Tabla de transiciones-excitaciones y contenido de la memoria

A	B	Q_{2t}	Q_{1t}	Q_{0t}	$Q_{2(t+1)} = D_2$	$Q_{1(t+1)} = D_1$	$Q_{0(t+1)} = D_0$	S	Dirección	Contenido
0	0	0	0	0	0	1	0	0	0	4
0	0	0	0	1	1	0	0	0	1	8
0	0	0	1	0	1	0	1	0	2	10
0	0	0	1	1	1	1	0	0	3	12
0	0	1	0	0	0	0	0	1	4	1
0	0	1	0	1	0	0	0	0	5	0
0	0	1	1	0	0	0	0	0	6	0
0	0	1	1	1	X	X	X	X	7	X
0	1	0	0	0	0	1	1	0	8	6
0	1	0	0	1	1	0	0	0	9	8
0	1	0	1	0	1	1	0	0	10	12
0	1	0	1	1	1	1	0	0	11	12
0	1	1	0	0	0	0	0	1	12	1
0	1	1	0	1	0	0	0	0	13	0
0	1	1	1	0	0	0	0	0	14	0
0	1	1	1	1	X	X	X	X	15	X
1	0	0	0	0	0	0	1	0	16	2
1	0	0	0	1	1	0	0	0	17	8
1	0	0	1	0	1	0	0	0	18	8
1	0	0	1	1	1	1	0	0	19	12
1	0	1	0	0	0	0	0	1	20	1
1	0	1	0	1	0	0	0	1	21	1
1	0	1	1	0	0	0	0	0	22	0
1	0	1	1	1	X	X	X	X	23	X
1	1	0	0	0	0	1	0	0	24	4
1	1	0	0	1	1	0	0	0	25	8
1	1	0	1	0	1	0	1	0	26	10
1	1	0	1	1	1	1	0	0	27	12
1	1	1	0	0	0	0	0	1	28	1
1	1	1	0	1	0	0	0	0	29	0
1	1	1	1	0	0	0	0	0	30	0
1	1	1	1	1	X	X	X	X	31	X



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

PROBLEMA.1

(2,5 Puntos)

Dada la siguiente función lógica:

$$F = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C} \cdot D + \bar{B} \cdot \bar{D} + A \cdot B \cdot C \cdot \bar{D} + A \cdot \bar{B} \cdot C$$

Se pide:

- Simplificar la función por tablas de verdad. (1 pto.)
- Implementar el circuito utilizando cualquier tipo de puerta. (0,75 ptos.)
- Implementar la función utilizando puertas NOR de tres entradas. (0,75 ptos.)

SOLUCION

A	B	C	D	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

	CD			
	00	01	11	10
AB				
00	1	1	0	1
01	0	1	0	0
11	0	0	0	1
10	1	1	0	1

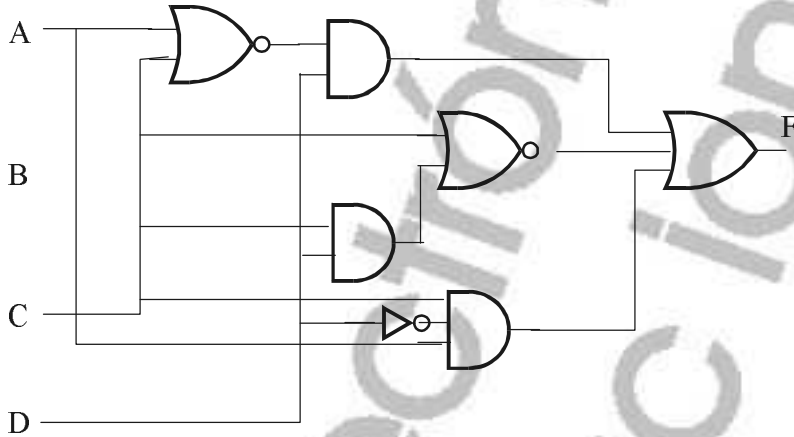
a) $F = \bar{B}\bar{C} + \bar{B}\bar{D} + \bar{A}\bar{C}D + AC\bar{D}$

b) $F = \bar{B}(\bar{C} + \bar{D}) + (A + C)D + AC\bar{D} = \bar{B} + CD + (\bar{A} + C)D + AC\bar{D}$



CONTINUACIÓN PROBLEMA 1

Circuito



c) Simplificando por ceros $F = (\bar{C} + \bar{D})(\bar{A} + \bar{B} + C)(\bar{A} + \bar{B} + D)$

CD	00	01	11	10
AB				
00	1	1	0	1
01	0	1	0	0
11	0	0	0	1
10	1	1	0	1

Para obtener el circuito complementamos dos veces



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

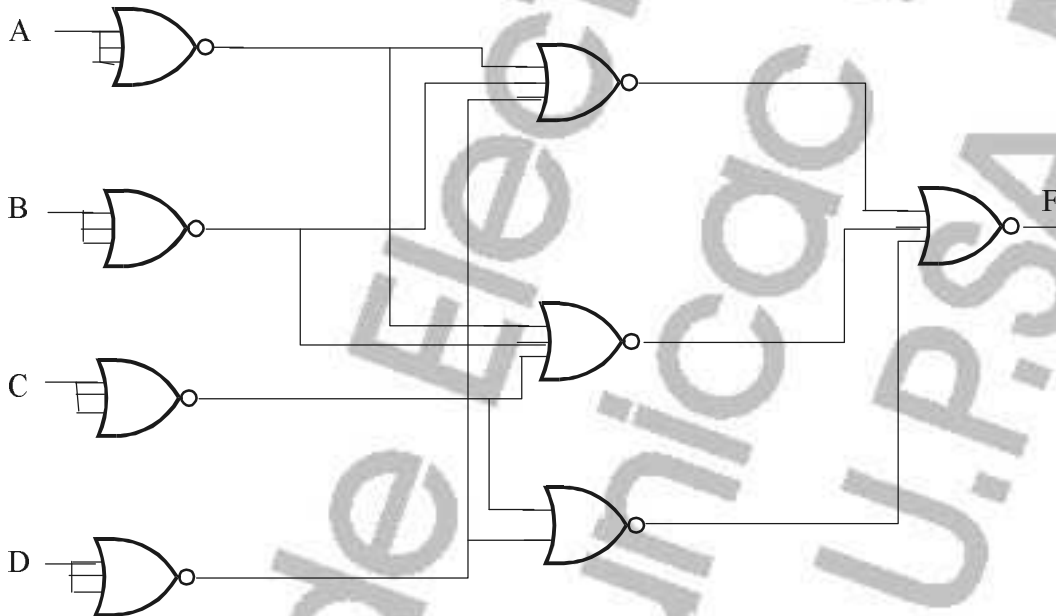
APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: 1º GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: 12 de Septiembre de 2003 (Mañana)

CONTINUACIÓN PROBLEMA 1

$F = \overline{(\overline{C + D})(\overline{A + B + D})(\overline{A + B + C})}$ y aplicando el teorema de Morgan

$$F = \overline{(\overline{C + D})} + \overline{(\overline{A + B + D})} + \overline{(\overline{A + B + C})}$$

y el circuito queda





UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

PROBLEMA.2

(2,5 Puntos)

Determinado código BCD ponderado codifica los diez dígitos decimales de la siguiente manera:

	E_3	E_2	E_1	E_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	1
5	1	0	0	1
6	1	0	1	0
7	1	0	1	1
8	1	1	0	1
9	1	1	1	0

- 1) Calcula los pesos de E_3 , E_2 , E_1 y E_0
- 2) Diseña un transcodificador de este código a BCD natural utilizando un Cuádruple sumador total únicamente
- 3) Idem utilizando solo Semisumadores

SOLUCIÓN

- 1) Calcula los pesos de E_3 , E_2 , E_1 y E_0

Fijándonos en las codificaciones que tienen un solo uno obtenemos los pesos de E_0 y de E_1 directamente:

	E_3	E_2	E_1	E_0			E_3	E_2	E_1	E_0	
1	0	0	0	1	→ Peso de $E_0 = 1$	2	0	0	1	0	→ Peso de $E_1 = 2$

Ahora alguna línea que contenga alguno de los pesos obtenidos antes:

	E_3	E_2	E_1	E_0	
4	0	1	0	1	→ Peso de $E_2 +$ Peso de $E_0 = 4$ → Peso de $E_2 + 1 = 4$ Peso de $E_2 = 3$

Y Finalmente:

	E_3	E_2	E_1	E_0	
5	1	0	0	1	→ Peso de $E_3 +$ Peso de $E_0 = 5$ → Peso de $E_3 + 1 = 5$ Peso de $E_3 = 4$

Luego se trata de un código BCD 4321 (Se comprueba que la ponderación obtenida es válida para las 10 combinaciones)



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

CONTINUACIÓN PROBLEMA 2

2) Diseña un transcodificador de este código a BCD natural utilizando un Cuádruple sumador total únicamente

Como se trata de un transcodificador de un código BCD a BCD natural lo mas sencillo será reordenar los pesos del código de entrada según los pesos 8421 que son los pesos del código de salida.

8 4 2 1

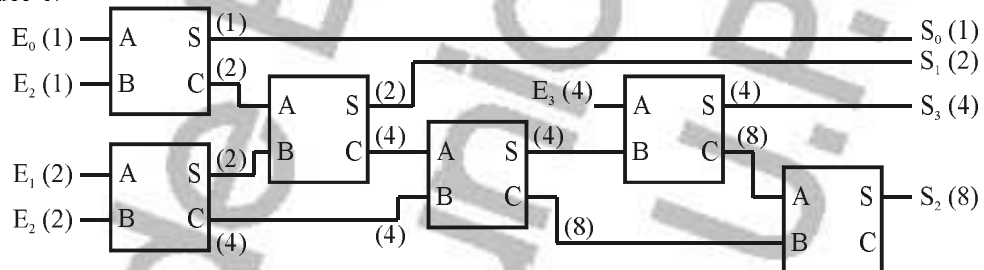
- $E_0 \leftarrow E_0$ queda en la columna de peso 1 ya que ese es su peso
- $E_1 \leftarrow E_1$ queda en la columna de peso 2 ya que ese es su peso
- $E_2 E_2 \leftarrow E_2$ queda simultáneamente en las columnas de peso 1 y 2 ya que entre las dos suman su peso.
- $E_3 \leftarrow E_3$ queda en la columna de peso 4 ya que ese es su peso.

Luego todo lo que tendré que hacer será diseñar un circuito sumador capaz de realizar la siguiente suma:

$$\begin{array}{r}
 0 \quad E_3 \quad E_1 \quad E_0 \\
 + \quad 0 \quad 0 \quad E_2 \quad E_2 \\
 \hline
 S_3 \quad S_2 \quad S_1 \quad S_0
 \end{array}$$

3) Idem utilizando solo Semisumadores

Cualquier suma binaria se puede efectuar empleando solamente Semisumadores. La única condición es que las dos entradas del SS sean del mismo peso, la salida S tendrá el mismo peso que las entradas y la salida C peso doble:





UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

PROBLEMA.3

(2,5 Puntos)

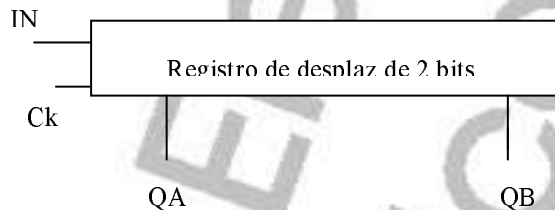
Se desea diseñar un contador que realice la cuenta 3, 11, 28, 20, 3, 11, 28, 20, ... y para ello se estudian diferentes alternativas, todas ellas consistentes en la implementación de un contador básico síncrono módulo 4 y posteriormente un transcodificador que transforme la cuenta del contador básico en la cuenta deseada, indicada anteriormente.

- a) Implementar dicho contador a partir de un registro de desplazamiento de dos bits, como el indicado en la figura y el mínimo número de puertas que estime necesarias para realizar un transcodificador. Se pide diseñar un contador básico, proporcionar la expresión algebraica de las salidas $S_0, S_1, etc., \dots$, del transcodificador, en función de las salidas de los biestables Q_A, Q_B del registro de desplazamiento, y dibujar el circuito completo

Nota: Considérese que no se tiene acceso a las salidas negadas de los biestables.

Inicialmente el registro de desplazamiento tiene todos sus biestables a 0

S_0 es el bit menos significativo de la salida, cuyo número total de bits hay que determinar.



- b) Implementar dicho contador con **dos biestables tipo T**, activos por flanco de subida, y un transcodificador con diferentes recursos, según se indica a continuación
- b1) Diseñar el contador básico. Proporcionar la expresión algebraica de las salidas $S_0, S_1, etc., \dots$, del transcodificador en función de las salidas de los biestables Q_1, Q_0 del contador básico
- b2) Diseñar el transcodificador utilizando solamente un multiplexor de 2 entradas de selección .
- b3) Diseñar el transcodificador utilizando solamente un semisumador de dos magnitudes de 1 bit cada una (Half Adder)

Contestar en el espacio reservado a cada apartado

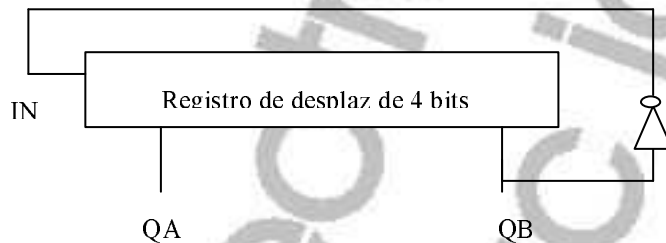


CONTINUACIÓN PROBLEMA 3

SOLUCIÓN

a) Contador básico a partir de un registro de desplazamiento

a) La cuenta pedida implica un contador de módulo 4
Un registro de desplazamiento de 2 bits se puede transformar en un contador de módulo 2·2 = 4, conectando la salida negada del último biestable a la entrada serie del registro (contador Johnson). Si no se dispusiera de la salida negada, se utilizaría una puerta inversora.



Ahora bien la secuencia con que cuenta este contador no es la misma que pide el enunciado. Por ello se precisa de un transcodificador que transforme la secuencia que proporciona el contador-registro de desplazamiento (contador Johnson), a la secuencia deseada

En esta tabla, QA, QB representa la cuenta de nuestro contador Johnson, y N, la cuenta deseada (en binario S3, S2, S1, S0),

Table with 8 columns: QA, QB, S4, S3, S2, S1, S0, N. Rows show binary values for QA and QB corresponding to counts N: (0,0) to 3, (1,0) to 11, (1,1) to 28, (0,1) to 20.

Expresión algebraica de las salidas S4, S3, S2, S1, S0, en función de las salidas de los biestables QA, QB

S4 = QB

S3 = QA

S2 = QB

S1 = QA

S0 = QB

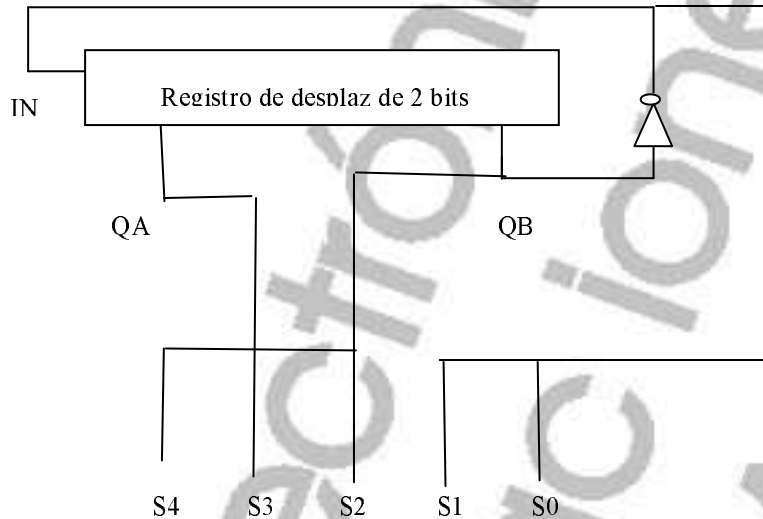


UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

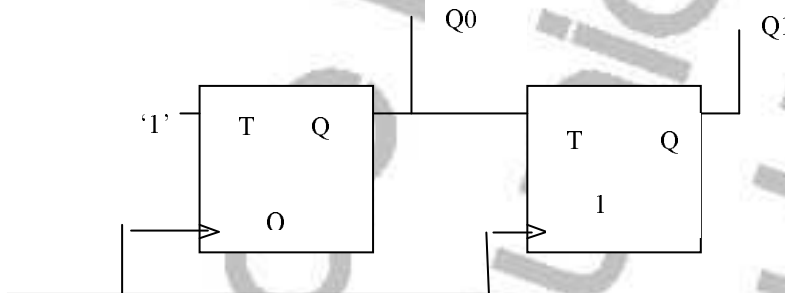
CONTINUACIÓN PROBLEMA 3

Dibujar el circuito completo



b1) Contador básico a partir de Biestables tipo T

Con los dos biestables podemos realizar un contador creciente, módulo 4, de 0 hasta 3. A continuación precisamos un transcodificador, que nos permite obtener la cuenta que deseamos. El contador creciente, módulo 3, hecho con biestables T, es conocido y es el siguiente



Diseño del transcodificador

N1 es la cuenta del contador anterior y Q1, Q0 su valor en binario

N2 es la cuenta deseada y S4, S3, S2, S1 y S0 su valor en binario

N1	Q1	Q0	S4	S3	S2	S1	S0	N2
0	0	0	0	0	0	1	1	3
1	0	1	0	1	0	1	1	11
2	1	0	1	1	1	0	0	28
3	1	1	1	0	1	0	0	20



CONTINUACIÓN PROBLEMA 3

Expresión algebraica de las salidas S_4, S_3, S_2, S_1, S_0 , en función de las salidas de los biestables Q_1, Q_0

$$S_4 = Q_1$$

$$S_3 = Q_1 \oplus Q_0$$

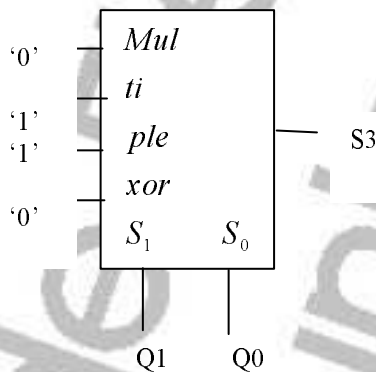
$$S_2 = Q_1$$

$$S_1 = \overline{Q_1}$$

$$S_0 = \overline{Q_1}$$

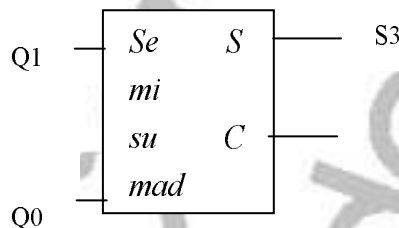
b2) Transcodificador utilizando solamente un multiplexor de 2 entradas de selección .

El problema se reduce a implementar S3 (una puerta XOR) con un multiplexor de dos entradas de selección tal como muestra la figura. Los demás bits de salida se obtienen directamente de las salidas de los biestables.



b3) Transcodificador utilizando solamente un semisumador total de dos magnitudes de 1 bit cada una (Half Adder)

El problema se reduce a implementar S3 (la salida de una puerta XOR) con un Semisumador tal como muestra la figura. Los demás bits de salida quedan como en b2)





UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Mañana)**

PROBLEMA.4

(2,5 Puntos)

Se tienen dos líneas que denominaremos A y B , por las que nos llegan dos sucesiones continuas de bits sincronizados con una señal de reloj CK . Cada sucesión hay que interpretarla en grupos de tres bits, ya que cada grupo representa un número binario, en el que **el bit menos significativo es el primero que se recibe**. Por ejemplo, si por una cualquiera de las líneas se recibe 0, 0, 1, 1, 1, 0, 0, 0, 0, 1, 0, 1... se entenderá que los tres primeros bits recibidos representan el 4, los tres siguientes el 3, los siguientes el 0, los siguientes el 5...

Usando sólo biestables de tipo D y una memoria, se pretende diseñar un autómata **de Moore** que detecte si el número recibido por A es mayor que el recibido por B , y en ese caso, active una señal de salida S .

NOTAS:

- La señal S no se activará en ningún caso hasta que se reciba el tercer bit de los números en cuestión, y siempre se desactivará con el primer bit del número siguiente.
- Debe optimizarse el diseño, minimizando el número de biestables y el tamaño de la memoria.
- El diseño del autómata debe incluir, **claramente**, por lo menos los siguientes puntos:
 - Especificación y codificación de entradas y estados, aclarando el significado de cada uno.
 - Tabla de estados minimizada.
 - Tamaño de la memoria mínima necesaria.
 - Esquema del autómata, especificando en él claramente qué señal se conecta a qué bit de direcciones y datos.
 - Contenido de la memoria según el esquema anterior.



CONTINUACIÓN PROBLEMA 4

SOLUCIÓN

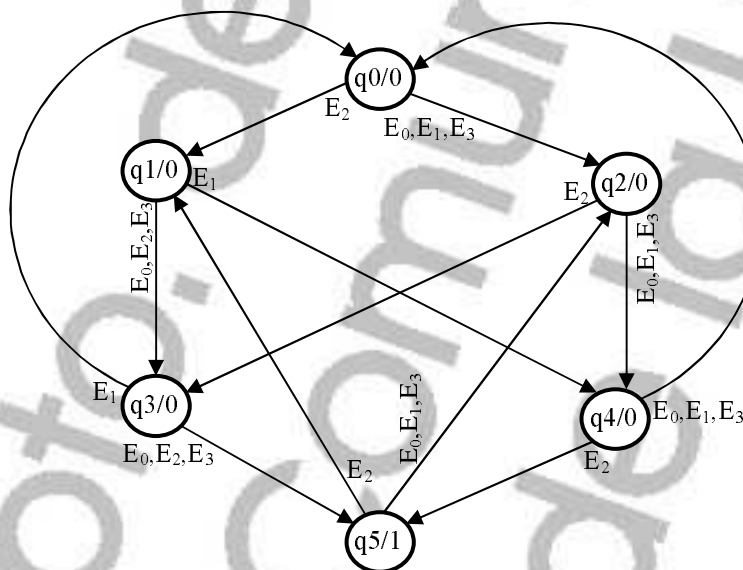
Especificación y codificación de entradas

A	B	Entradas
0	0	E0
0	1	E1
1	0	E2
1	1	E3

Especificación y codificación de estados

Estado	Q2	Q1	Q0	Significado
q0	0	0	0	Recibidos 0 bits, o 3 con $A \leq B$
q1	0	0	1	Se ha recibido 1 bit y hasta ahora $A > B$
q2	0	1	0	Se ha recibido 1 bit y hasta ahora $A \leq B$
q3	0	1	1	Se ha recibido 2 bits y hasta ahora $A > B$
q4	1	0	0	Se ha recibido 2 bits y hasta ahora $A \leq B$
q5	1	0	1	Se ha recibido 3 bits y $A > B$

Diagrama de estados (no se pedía explícitamente)





CONTINUACIÓN PROBLEMA 4

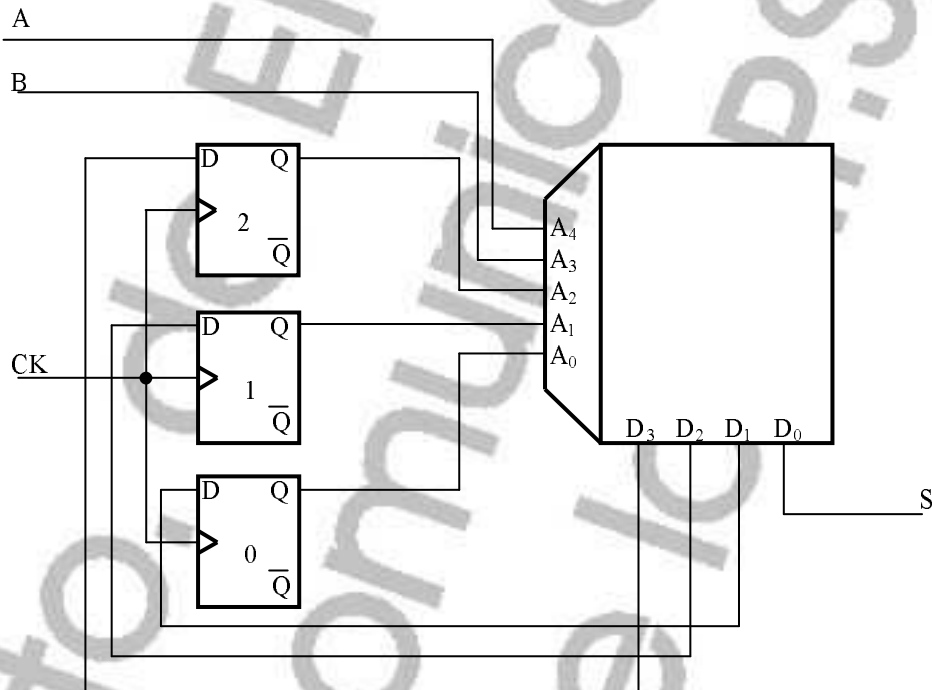
Tabla de estados minimizada

Estado actual	Estado siguiente				S
	E0	E1	E2	E3	
q0	q2	q2	q1	q2	0
q1	q3	q4	q3	q3	0
q2	q4	q4	q3	q4	0
q3	q5	q0	q5	q5	0
q4	q0	q0	q5	q0	0
q5	q2	q2	q1	q2	1

Tamaño mínimo de memoria

32 x 4 bits

Esquema del autómata





APELLIDOS Y NOMBRE: _____

ASIGNATURA: **Sistemas Digitales** CURSO: 1º GRUPO: _____

Nº DE EXPEDIENTE: _____ CONVOCATORIA: 12 de Septiembre de 2003 (Mañana)

CONTINUACIÓN PROBLEMA 4

Tabla de transiciones-excitaciones y contenido de la memoria

A	B	Q_{2t}	Q_{1t}	Q_{0t}	$Q_{2(t+1)} = D_2$	$Q_{1(t+1)} = D_1$	$Q_{0(t+1)} = D_0$	S	Dirección	Contenido
0	0	0	0	0	0	1	0	0	0	4
0	0	0	0	1	0	1	1	0	1	6
0	0	0	1	0	1	0	0	0	2	8
0	0	0	1	1	1	0	1	0	3	10
0	0	1	0	0	0	0	0	0	4	0
0	0	1	0	1	0	1	0	1	5	5
0	0	1	1	0	X	X	X	X	6	X
0	0	1	1	1	X	X	X	X	7	X
0	1	0	0	0	0	1	0	0	8	4
0	1	0	0	1	1	0	0	0	9	8
0	1	0	1	0	1	0	0	0	10	8
0	1	0	1	1	0	0	0	0	11	0
0	1	1	0	0	0	0	0	0	12	0
0	1	1	0	1	0	1	0	1	13	5
0	1	1	1	0	X	X	X	X	14	X
0	1	1	1	1	X	X	X	X	15	X
1	0	0	0	0	0	0	1	0	16	2
1	0	0	0	1	0	1	1	0	17	6
1	0	0	1	0	0	1	1	0	18	6
1	0	0	1	1	1	0	1	0	19	10
1	0	1	0	0	1	0	1	0	20	10
1	0	1	0	1	0	0	1	1	21	3
1	0	1	1	0	X	X	X	X	22	X
1	0	1	1	1	X	X	X	X	23	X
1	1	0	0	0	0	1	0	0	24	4
1	1	0	0	1	0	1	1	0	25	6
1	1	0	1	0	1	0	0	0	26	8
1	1	0	1	1	1	0	1	0	27	10
1	1	1	0	0	0	0	0	0	28	0
1	1	1	0	1	0	1	0	1	29	5
1	1	1	1	0	X	X	X	X	30	X
1	1	1	1	1	X	X	X	X	31	X



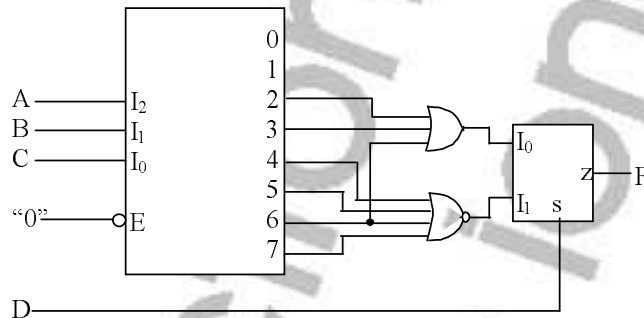
UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Tarde)**

PROBLEMA.1

(2,5 Puntos)

Se dispone del siguiente circuito combinacional:



- a) Calcular la expresión más simplificada posible de F. (1,5 pts.)
 b) Implementar F utilizando exclusivamente puertas NAND de 3 entradas. (1 pts.)

SOLUCIÓN

(1.a)

Tomando el desarrollo canónico del multiplexor 2¹ a 1, se tiene, en primer lugar

$$F = z = \bar{s} \cdot I_0 + s \cdot I_1 = \bar{D} \cdot I_0 + D \cdot I_1$$

(1)

puesto que z=F, y s=D.

Ahora, además,

$$I_0 = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot B \cdot \bar{C} = B \cdot (\bar{A} \cdot \bar{C} + \bar{A} \cdot C + A \cdot \bar{C}) = B \cdot [\bar{A} \cdot (\bar{C} + C) + A \cdot \bar{C}] = B \cdot [\bar{A} + A \cdot \bar{C}] = B \cdot (\bar{A} + \bar{C})$$

(2)

mientras que

$$I_1 = A \cdot \bar{B} \cdot \bar{C} + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} + A \cdot B \cdot C = A \cdot (\bar{B} \cdot \bar{C} + \bar{B} \cdot C + B \cdot \bar{C} + B \cdot C) = A \cdot [\bar{B} \cdot (\bar{C} + C) + B \cdot (\bar{C} + C)] = A \cdot (\bar{B} + B) = A$$

(3)

De ahí que, finalmente, de (1), (2) y (3), se tenga:

$$F = \bar{D} \cdot B \cdot (\bar{A} + \bar{C}) + D \cdot A = \bar{A} \cdot B \cdot \bar{D} + B \cdot \bar{C} \cdot \bar{D} + A \cdot D = \bar{A} \cdot (B \cdot \bar{D} + D) + B \cdot \bar{C} \cdot \bar{D} = \bar{A} \cdot (B + D) + B \cdot \bar{C} \cdot \bar{D} = \bar{A} \cdot B + \bar{A} \cdot D + B \cdot \bar{C} \cdot \bar{D}$$

(4)



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Tarde)**

CONTINUACIÓN PROBLEMA 1.

(Hoja 2)

También es válida la solución que se obtiene como resultado de simplificar el mapa de Karnaugh de la tabla de verdad asociada a F , que, por supuesto, se puede deducir a partir de la figura.

ABC D	I_0	I_1	s	F
000 0	0	1	0	0
000 1	0	1	1	1
001 0	0	1	0	0
001 1	0	1	1	1
010 0	1	1	0	1
010 1	1	1	1	1
011 0	1	1	0	1
011 1	1	1	1	1
100 0	0	0	0	0
100 1	0	0	1	0
101 0	0	0	0	0
101 1	0	0	1	0
110 0	1	0	0	1
110 1	1	0	1	0
111 0	0	0	0	0
111 1	0	0	1	0

Tomando la primera forma implícita de F , se tiene:

$$F = \sum_4 (1,3,4,5,6,7,12)$$

(5)

cuyo mapa de Karnaugh asociado resulta ser:

	CD				
	00	01	11	10	
AB	00	01	11	10	
00	0	1	1	0	
01	1	1	1	1	(2)
11	1	0	0	0	(3)
10	0	0	0	0	

Simplificando este mapa de Karnaugh, se llega a (4).

$$F = \underbrace{\bar{A} \cdot D}_{(1)} + \underbrace{\bar{A} \cdot B}_{(2)} + \underbrace{B \cdot \bar{C} \cdot \bar{D}}_{(3)}$$

(1) (2) (3)

(6)



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Tarde)**

CONTINUACIÓN PROBLEMA 1.

(Hoja 3)

(1.b)

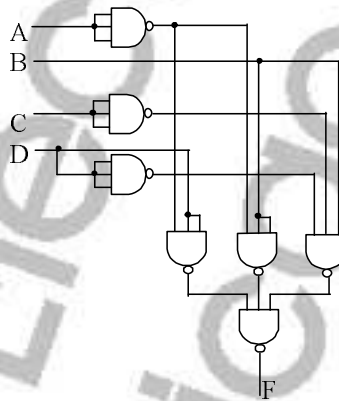
Partimos de la expresión mínima obtenida en el apartado anterior (4) ó (6).

$$F = \bar{A} \cdot D + \bar{A} \cdot B + B \bar{C} \cdot \bar{D}$$

Aplicamos la ley de idempotencia y las Leyes de De Morgan para el complemento de una suma:

$$F = \bar{F} = \overline{\bar{A} \cdot D + \bar{A} \cdot B + B \bar{C} \cdot \bar{D}} = \overline{(\bar{A} \cdot D)(\bar{A} \cdot B)(B \bar{C} \cdot \bar{D})} = \overline{(\bar{A} \cdot \bar{A} \cdot D \cdot D)(\bar{A} \cdot \bar{A} \cdot B \cdot B)(B \bar{C} \cdot \bar{C} \cdot D \cdot \bar{D})} \quad (7)$$

Con lo cual vemos que se emplean un total de 7 puertas NAND(3), 3 para invertir A, C, y D, y otras 4 para efectuar los productos.





UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

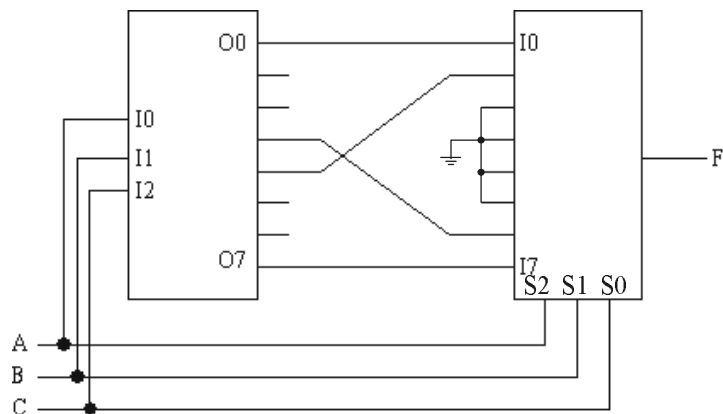
APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Tarde)**

PROBLEMA.2

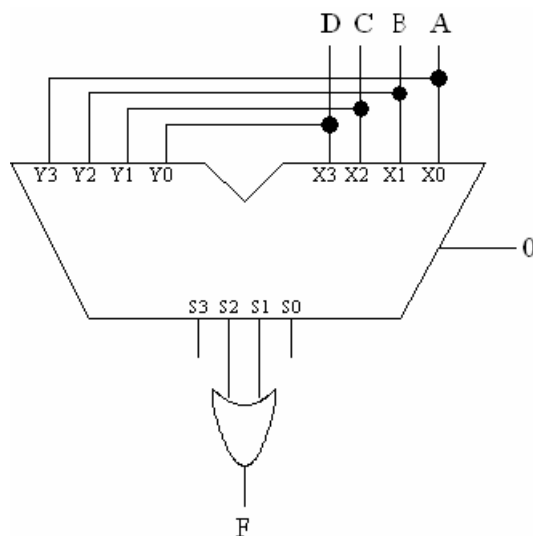
(2,5 Puntos)

Obtener para cada uno de los siguientes circuitos el valor simplificado de la función que realizan.

a) (1pto)



b) (1,5 pto)





APELLIDOS Y NOMBRE: _____
ASIGNATURA: Sistemas Digitales CURSO: 1º GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: 12 de Septiembre de 2003 (Tarde)

CONTINUACIÓN PROBLEMA 2

SOLUCIÓN

a) El circuito se puede analizar siguiendo esta tabla:

Truth table with columns A, B, C, Decod, MPX, F. Rows include combinations of 0 and 1 for A, B, C and corresponding outputs O0-O7 and I0-I7.

F = A ⊕ B

b)

Truth table for a 4-bit adder with columns D, C, B, A, Σ, S2, S1, F. Rows show binary additions and their decimal equivalents.

F = DA ⊕ (C + B) + CB



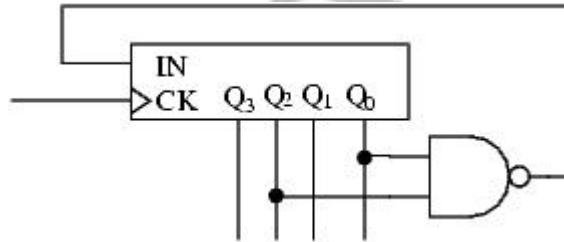
UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Tarde)**

PROBLEMA.3

(2,5 Puntos)

Con un registro de desplazamiento de 4 bits y una puerta NAND se ha construido el siguiente contador:



Teniendo en cuenta que el registro está inicializado a cero, se pide:

5. Dibujar en una tabla los valores de salida de este contador (Q3, Q2, Q1 y Q0)
6. Dibujar el diagrama de flujo e indicar el módulo del contador.
7. A partir de este contador diseñar otro que siga la secuencia 0,0, 4, 14, 10,1..., utilizando un transcodificador.

SOLUCIÓN

1)

<i>Q3</i>	<i>Q2</i>	<i>Q1</i>	<i>Q0</i>	<i>Salida puerta NAND</i>
0	0	0	0	1
1	0	0	0	1
1	1	0	0	1
1	1	1	0	1
1	1	1	1	0
0	1	1	1	0
0	0	1	1	1
1	0	0	1	1
1	1	0	0	1
1	1	1	0	1
...

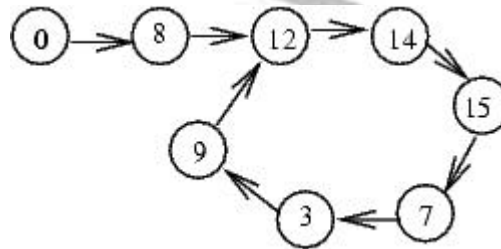


UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Tarde)**

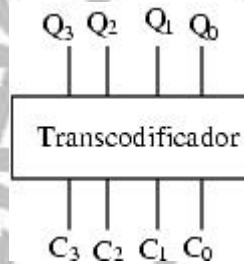
CONTINUACIÓN PROBLEMA 3

4) El diagrama de flujo es el siguiente:



El módulo es 6, y la cuenta que realiza es: 12,14,15,7, 3, 9

2) Para que realice la cuenta que se pide hay que añadir un transcodificador:



La tabla de verdad es la siguiente:

<i>Entradas</i>				<i>Salidas</i>			
Q3	Q2	Q1	Q0	C3	C2	C1	C0
0	0	0	0	X	X	X	X
0	0	0	1	X	X	X	X
0	0	1	0	X	X	X	X
0	0	1	1	1	0	1	0
0	1	0	0	X	X	X	X
0	1	0	1	X	X	X	X
0	1	1	0	X	X	X	X
0	1	1	1	1	1	1	0
1	0	0	0	X	X	X	X
1	0	0	1	0	0	0	1
1	0	1	0	X	X	X	X
1	0	1	1	X	X	X	X
1	1	0	0	0	0	0	0
1	1	0	1	X	X	X	X
1	1	1	0	0	0	0	0
1	1	1	1	0	1	0	0



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Tarde)**

Dpto. de Electrónica y Comunicaciones de la U.P.S.A.M.



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID
Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: 1º GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: 12 de Septiembre de 2003 (Tarde)

CONTINUACIÓN PROBLEMA 3

Y los mapas de Karnaugh son:

C₀

Q ₃ Q ₂ \ Q ₁ Q ₀		Q ₁ Q ₀			
		00	01	11	10
Q ₃ Q ₂	00	X	X	0	X
	01	X	X	0	X
	11	0	X	0	0
	10	X	1	X	X

$C_0 = \overline{Q_1} Q_0$

C₁

Q ₃ Q ₂ \ Q ₁ Q ₀		Q ₁ Q ₀			
		00	01	11	10
Q ₃ Q ₂	00	X	X	1	X
	01	X	X	1	X
	11	0	X	0	0
	10	X	0	X	X

$C_1 = C_3 = \overline{Q_3}$

C₂

Q ₃ Q ₂ \ Q ₁ Q ₀		Q ₁ Q ₀			
		00	01	11	10
Q ₃ Q ₂	00	X	X	0	X
	01	X	X	1	X
	11	0	X	1	0
	10	X	0	X	X

$C_2 = Q_2 Q_0$



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Tarde)**

PROBLEMA.4

(2,5 Puntos)

Se desea diseñar un autómata de tipo Mealy que sea capaz de reconocer, con solapamiento, las tramas 0101 y 0110, diferenciando cada una de ellas. El alumno realizará:

- Diagrama de flujo (0.7 puntos)
- Tabla de transición de estados, (0.5 puntos)
- Codificación de estados y salidas, (0.5 puntos)
- Implementación empleando biestables de tipo T (no es necesario dibujarlo), (0.5 puntos)
- Suponiendo que el diseño se realice usando exclusivamente una memoria ROM y biestables de tipo D. Indicar claramente las dimensiones mínimas de dicha memoria en bits. (0.3 puntos)

NOTA: Los apartados se pueden realizar en el orden que más le convenga pero debe quedar claramente especificado cada uno de ellos.

SOLUCIÓN

(a) Comenzamos por realizar el flujograma de dicho autómata. Emplearemos "Nada" para indicar que no se ha reconocido ninguna de las dos secuencias todavía, "T₁" para indicar que se ha reconocido la trama número 1 (0101) y "T₂" para indicar que se ha reconocido la trama número 2 (0110).

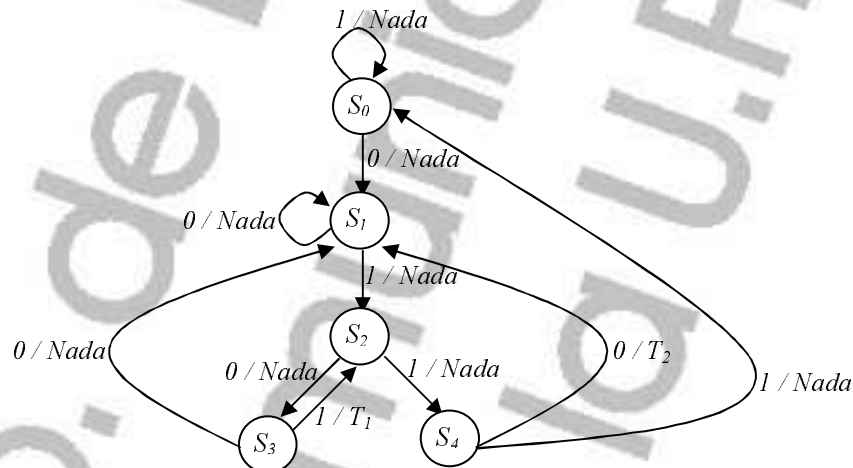


Fig. 1. Diagrama de flujo del autómata



UNIVERSIDAD PONTIFICIA DE SALAMANCA EN MADRID

Departamento de Electrónica y Comunicaciones

APELLIDOS Y NOMBRE: _____
 ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
 Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Tarde)**

CONTINUACIÓN PROBLEMA 4

(b) La tabla de transición de estados correspondiente a este flujograma es la siguiente:

Estado actual	Estado siguiente / Salida	
	0	1
S_0	$S_1/Nada$	$S_0/Nada$
S_1	$S_1/Nada$	$S_2/Nada$
S_2	$S_3/Nada$	$S_4/Nada$
S_3	$S_1/Nada$	S_2/T_1
S_4	S_1/T_2	$S_0/Nada$

(c) Observamos que se tienen un total de 5 estados (S_0, S_1, S_2, S_3, S_4), por lo que se necesitarán 3 bits para la codificación de los estados. La codificación de éstos coincidirá con el equivalente binario de su designación decimal (así, por ejemplo, S_3 se codificará como "011"). Observamos también que se tienen 3 salidas: (Nada, T_1, T_2), por lo que se necesitarán 2 bits para codificar las salidas ("00" para Nada, "01" para T_1 y "10" para T_2).

(d) Para efectuar la implementación con biestables de tipo T, diseñamos una tabla de verdad con las columnas estado actual, entrada, estado siguiente, salidas, y valor de las entradas sincronas de los biestables de tipo T para que se produzcan las transiciones requeridas.

Estado Actual			Entrada I	Estado Siguiente			Salida		Entradas sincronas		
$Q_2(t)$	$Q_1(t)$	$Q_0(t)$		$Q_2(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$	z_1	z_0	T_2	T_1	T_0
0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0
0	0	1	1	0	1	0	0	0	0	1	1
0	1	0	0	0	1	1	0	0	0	0	1
0	1	0	1	1	0	0	0	0	0	1	1
0	1	1	0	0	0	1	0	0	0	1	0
0	1	1	1	0	1	0	0	0	1	0	1
1	0	0	0	0	0	1	1	0	1	0	1
1	0	0	1	0	0	0	0	0	0	1	0
1	0	1	0	-	-	-	-	-	X	X	X
1	0	1	1	-	-	-	-	-	X	X	X
1	1	0	0	-	-	-	-	-	X	X	X
1	1	0	1	-	-	-	-	-	X	X	X
1	1	1	0	-	-	-	-	-	X	X	X
1	1	1	1	-	-	-	-	-	X	X	X



CONTINUACIÓN PROBLEMA 4

Por lo tanto, comprobamos que, en primera forma canónica,

$$z_1 = \sum_4 (8) + \phi(10, \dots, 15)$$

$$z_0 = \sum_4 (7) + \phi(10, \dots, 15)$$

$$T_2 = \sum_4 (5, 8, 9) + \phi(10, \dots, 15)$$

$$T_1 = \sum_4 (3, 5, 6) + \phi(10, \dots, 15)$$

$$T_0 = \sum_4 (0, 3, 4, 7, 8) + \phi(10, \dots, 15)$$

Es necesario efectuar, ahora, los K-mapas de estas 5 funciones:

		Q_0I		z_1	
	Q_2Q_1	00	01	11	10
00		0 0	0 1	0 3	0 2
		0 4	0 5	0 7	0 6
01		X 12	X 13	X 15	X 14
		1 8	0 9	X 11	X 10
		11			

		Q_0I		z_0	
	Q_2Q_1	00	01	11	10
00		0 0	0 1	0 3	0 2
		0 4	0 5	1 7	0 6
01		X 12	X 13	X 15	X 14
		0 8	0 9	X 11	X 10
		11			

		Q_0I		T_2	
	Q_2Q_1	00	01	11	10
00		0 0	0 1	0 3	0 2
		0 4	1 5	0 7	0 6
01		X 12	X 13	X 15	X 14
		1 8	1 9	X 11	X 10
		11			

		Q_0I		T_1	
	Q_2Q_1	00	01	11	10
00		0 0	0 1	1 3	0 2
		0 4	1 5	0 7	1 6
01		X 12	X 13	X 15	X 14
		0 8	0 9	X 11	X 10
		11			

		Q_0I		T_0	
	Q_2Q_1	00	01	11	10
00		1 0	0 1	1 3	0 2
		1 4	0 5	1 7	0 6
01		X 12	X 13	X 15	X 14
		1 8	0 9	X 11	X 10
		11			

En definitiva,

$$z_1 = Q_2(t) \cdot \bar{I}$$

$$z_0 = Q_1(t) \cdot Q_0(t) \cdot I$$

$$T_2 = Q_2(t) + Q_1(t) \cdot \overline{Q_0(t)} \cdot I$$

$$T_1 = Q_1(t) \cdot [Q_0(t) \oplus I] + \overline{Q_1(t)} \cdot Q_0(t) \cdot I$$

$$T_0 = \overline{Q_0(t)} \oplus \bar{I}$$



APELLIDOS Y NOMBRE: _____
ASIGNATURA: **Sistemas Digitales** CURSO: **1º** GRUPO: _____
Nº DE EXPEDIENTE: _____ CONVOCATORIA: **12 de Septiembre de 2003 (Tarde)**

CONTINUACIÓN PROBLEMA 4

(e) Finalmente, para implementar el autómata mediante biestables de tipo D y una memoria ROM, necesitamos almacenar en la memoria la tabla de verdad para las transiciones de los biestables de tipo D y las salidas que se producen. Obsérvese, pues, que se necesitará una ROM de 16x5 bits.

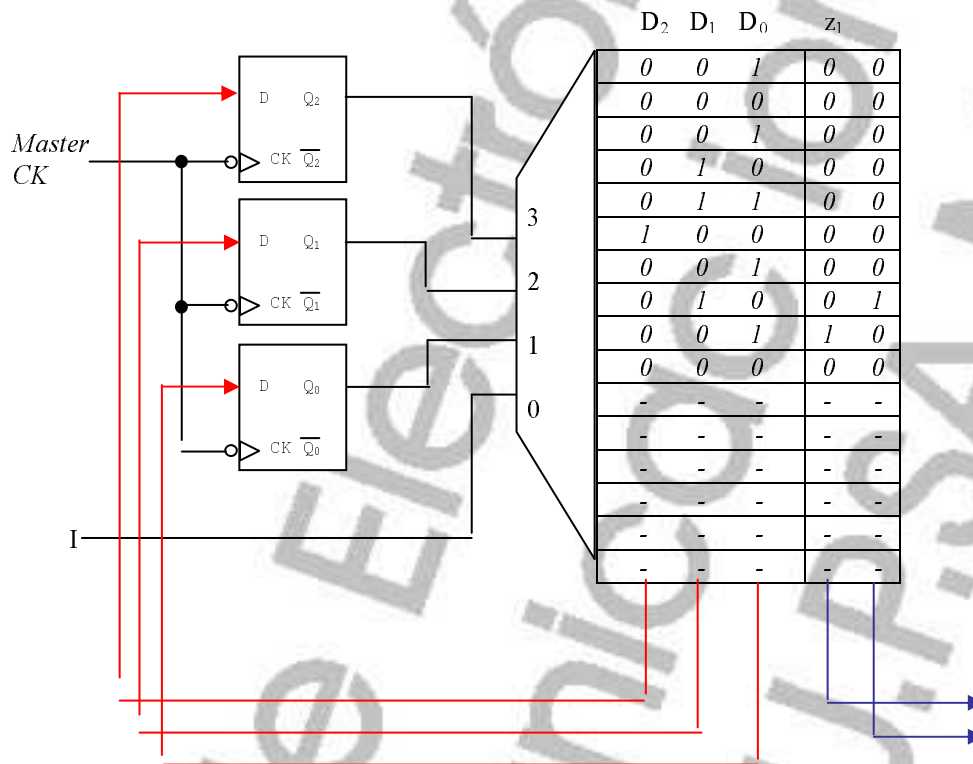


Fig. 2. Implementación del autómata con una memoria ROM (se supone que la entrada de datos, I, es sincrónica con el Master CK)